

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-275672

(43)Date of publication of application : 09.11.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 01-079760

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 30.03.1989

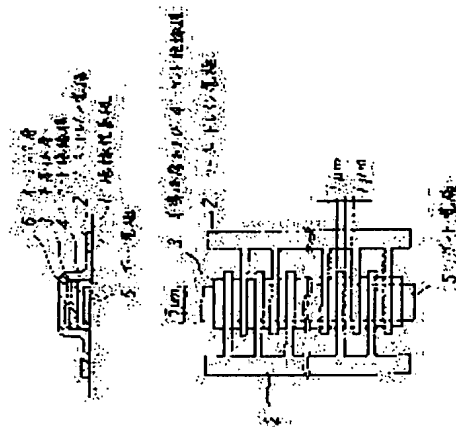
(72)Inventor : OTA YASUMITSU  
MIMURA SHUSUKE

## (54) THIN FILM TRANSISTOR

## (57)Abstract:

**PURPOSE:** To eliminate difficulty of mask alignment of a gate electrode with source, drain electrodes, to increase a drain current at the time of ON, to accelerate a responding speed and to further improve manufacturing yield by forming the source, drain electrodes in a pectinated structure.

**CONSTITUTION:** A gate electrode 5 formed in a predetermined pattern is laminated on an insulating board 1, a gate insulating film 4 and further a semiconductor layer 3 are so laminated as to cover the electrode 5, and a pair of source and drain electrodes 2 are laminated on the top of the layer 3. The electrodes 2 have pectinated structures having a plurality of teeth in such a manner that the teeth are so disposed as to cross the layer 3 and associated in a noncontact state. Thus, a device current ratio with respect to an occupying area can be increased as compared with the case that the electrodes are linearly disposed in parallel. Thus, a drain current at the time of ON is increased, a stray capacity is reduced, a responding speed is fast, and its yield is high.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-275672

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月9日

H 01 L 29/784

8624-5F

H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 薄膜トランジスター

⑯ 特 願 平1-79760

⑰ 出 願 平1(1989)3月30日

⑱ 発 明 者 太 田 泰 光 神奈川県川崎市中原区井田1618番地 新日本製鐵株式会社  
第1技術研究所内

⑲ 発 明 者 三 村 秀 典 神奈川県川崎市中原区井田1618番地 新日本製鐵株式会社  
第1技術研究所内

⑳ 出 願 人 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号

㉑ 代 理 人 弁理士 八 田 幹 雄 外1名

#### 明細書

#### 1. 発明の名称

薄膜トランジスター

#### 2. 特許請求の範囲

(1) 半導体層、該半導体層表面にオーミックに接続される一対のソース・ドレイン電極、該半導体層表面に接して形成されるゲート絶縁層、および該ゲート絶縁層の他端面側に接して形成され該ゲート絶縁層により半導体層との絶縁性を保たれたゲート電極を、絶縁性基板上に積層した構造を有する絶縁ゲート型電解効果薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数個の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわさるように配置されたものであることを特徴とする薄膜トランジスター。

(2) 絶縁性基板上に、ゲート電極、ゲート絶縁層、半導体層、一対のソース・ドレイン電極を順に積層してなる逆スタガード型積層構造薄膜トランジスターにおいて、前記一対のソース・ドレイン

電極のそれぞれが複数個の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわさるように配置されたものであることを特徴とする請求項1に記載の薄膜トランジスター。

(3) 絶縁性基板上に、一対のソース・ドレイン電極、半導体層、ゲート絶縁層、ゲート電極を順に積層してなるスタガード型積層構造薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数個の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわさるように配置されたものであることを特徴とする請求項1に記載の薄膜トランジスター。

(4) 半導体層が非晶質シリコン層または多結晶シリコン層である請求項1～3のいずれかに記載の薄膜トランジスター。

(5) 非晶質シリコン層が硼素、燐、ゲルマニウム、炭素、窒素、酸素からなる群から選ばれたいずれかの不純物がドーパされた非晶質シリコン層

である請求項4に記載の薄膜トランジスタ。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は密着型イメージセンサ、アクティブマトリックス液晶表示装置などに用いられる薄膜トランジスタに関するものである。特に、本発明は、製造が容易でかつ高性能を発揮する薄膜トランジスタに関するものである。

#### (従来の技術)

近年、多結晶または非晶質半導体により形成された薄膜トランジスタ(TFT)が注目されている。このTFTは、単結晶半導体を用いた場合よりは特性は劣るものの、低コストであり、また大面積の基板上に素子を形成できることから、例えば、密着型イメージセンサ、アクティブマトリックス液晶表示装置用のスイッチ素子としての応用が考えられている。

例えば、第4a、b図は、それぞれ従来の薄膜トランジスタの構成の一例を示すものである。第4a図は、スタガード型(エフ・シー・ローら、

プロシーディング オブ ザ アイイーイーイー 61 129 (1973-1) [F. C. Lvo., et al., Proc. IEEE 61 129 (1973-1)])として

知られるものであり、絶縁性基板1上に、一対のソース・ドレイン電極2、このソース・ドレイン電極2とオーミックに接続された半導体層3、この半導体層3とゲート電極5との絶縁性を保つ絶縁層4、およびゲート電極5を順に積層してなるものである。また第4b図は、逆スタガード型として知られるものであり、絶縁性基板1上に、ゲート電極5、このゲート電極5と半導体層3との絶縁性を保つ絶縁層4、半導体層3、およびこの半導体層3とオーミックに接続された一対のソース・ドレイン電極1を順に積層してなるものである。なお、この逆スタガード型のTFTは、従来、まず第5a図に示すように、まず絶縁性基板1上に所定パターンのゲート電極5を形成し、次いで第5b図に示すように、その上をゲート絶縁膜4、半導体層3で覆った後、全面をソース・ドレイン電極2形成材質によりさらに覆い、第5c図に示

すようにソース・ドレイン電極2を形成しようとする所望の部位のみをフォトリソでマスキングし、マスキングされなかった部位のソース・ドレイン電極2形成材質をエッチングして、第5d図に示すように所望形状のものとして形成されるものである。

このように従来より、薄膜トランジスタとして種々の構造のものが知られているが、これらはいずれも、第4c図に示すようにソース・ドレイン電極2が、直線的に平行に配列されているものである(例えば、松村正清、小田俊理、テレビジョン学会誌、1988年、第131頁)。

しかしながら、このようにTFTにおいて、ソース・ドレイン電極2が直線的に平行に配列されていると、①オン時のドレイン電流が低い、②浮遊容量が大きい、③応答速度が遅い、④製造歩留まりが悪い、⑤形状が大きい等の欠点が生じるものであった。

すなわち、まず①として述べた点は、以下の理山からくるものである。ゲート絶縁膜4および半

導体層3が同一であるTFTにおいて、オン時により大きなドレイン電流を得るには、前記のごときソース・ドレイン電極2の配列を取る限り、TFTの形状を大きくするしかないが、TFTの形状を大きくすると、TFTを液晶ディスプレイ等に応用した場合、開口率が減少してしまう。ここで、TFTのドレイン電流 $I_D$ は、電流の飽和領域で

$$I_D = (W/L) \cdot \mu \cdot C_i \cdot V_G \cdot V_D$$

(但し、式中、 $W$ はTFTのチャンネル幅、 $L$ はTFTのチャンネル長、 $\mu$ は電界効果移動度、 $C_i$ は単位面積当たりのゲート絶縁膜による容量、 $V_G$ はゲート電圧、 $V_D$ はドレイン電圧である。)と表わされるが、従来製造されている非晶質シリコンTFTの代表的な値、例えば $\mu = 0.5 \text{ cm}^2/\text{V} \cdot \text{sec}$ を用いて、TFTの大きさを見積ると、非晶質シリコンナイトライドゲート絶縁膜の厚さを $3000 \text{ \AA}$ とすると、 $V_G = V_D = 30 \text{ V}$ で、 $I_D = 1 \text{ mA}$ を得るためには、 $(W/L) > 126$ となる。これは、 $L = 5 \mu\text{m}$ (この値は、

現在開発されているTFTのチャンネル長では一番短い)としても、 $W=630\mu\text{m}$ となり、通常用いられる液晶ディスプレイの一画素よりも大きくなってしまふ。また、第5a~d図に示したような通常のTFTの製造プロセスを用いると、ソース・ドレイン電極2パターンとゲート電極5パターンのフォトリソ合わせの精度の関係からゲート電極5の幅をチャンネル長 $L$ よりも大きくする必要があった。そのためソース・ドレイン電極2とゲート電極5との重なり部分 $l$ において、浮遊容量が存在するが、TFTの形状を大きくすると、この浮遊容量も増加する。この浮遊容量はTFTの性能に非常に大きな影響を及ぼす。浮遊容量は、 $l=1\mu\text{m}$ (この値はTFTの現在のマスク合わせの精度としては非常に難しい値である。)としても、前記のチャンネル長およびチャンネル幅では0.2pFと大きな値となる。このため、実際には $(W/L)=10$ 程度で、 $V_G=V_D=30\text{V}$ での $I_D$ は数十 $\mu\text{A}$ 程度である。

また、②に述べた点に関し、浮遊容量を減少さ

せるため、できる限りチャンネル長 $L$ と同じ幅のゲート電極5を用いる必要があるが、そうするとソース・ドレイン電極2パターンとゲート電極5パターンとのフォトリソ合わせは、非常に困難であり、どうしても限界がある。そこで実際にはゲート電極5の幅をチャンネル長 $L$ より数 $\mu\text{m}$ 程度大きくしている。そのため、ソース・ドレイン電極2とゲート電極1との重なり部分 $l$ が存在し、これが浮遊容量の原因となっているものである。

③に述べた点は、ゲート電極5パターンとソース・ドレイン電極2パターンのマスク合わせの精度により、チャンネル長の限界は $5\mu\text{m}$ 程度で、それ以上短くできず、キャリアの走行に時間がかかるために生じる問題である。

また、④に述べた点は、上記のごとく浮遊容量を減少させるため、できるかぎりチャンネル長と同じ幅のゲート電極を用いようとするが、そうするとソース・ドレイン電極2パターンとゲート電極5とのフォトリソ合わせは、非常に困難であり、ソース・ドレイン電極2パターンとゲート電極5

パターンとの間にズレが生じ、実行的なチャンネル長が減少したり、ソース・ドレイン電極2とゲート電極5との重なりが生じたりし、TFTの特性が一定しないために発生する問題である。

さらに、⑤に述べた点は、大きなオン時のドレイン電流を得たいため、どうしても $(W/L)$ 比を大きくせざるおえないために生じる問題である。

なお、TFTの製造方法として、まず第6a図に示すように、絶縁性基板1上に所定パターンのゲート電極5を形成し、次いでその上をゲート絶縁膜4、半導体層3で覆った後、全面をフォトリソ7で覆い、基板1裏面側から光を照射し、ゲート電極5自体をマスクとして、フォトリソ7の露光を行ない、第6b図に示すように、現像してレジスト7をゲート電極5と同一パターンにパターンニングし、次に第6c図に示すように、この上からソース・ドレイン電極2形成材質を全面に被着させ、第6d図に示すようにレジスト7を除去することにより、ゲート電極5により自己整合された所定のパターンのソース・ドレイン電

極2を得るといったセルフアライン技術を用いることも提唱されており(例えば特開昭58-170064号、特開昭58-170065号等)、この方法を用いてTFTを作製すれば、前記した②および③の問題は、解消されるものの、このような方法は、フォトリソの露光に非常に時間を必要とし、製造プロセスが複雑となるものであった。

(発明が解決しようとする課題)

従って、本発明は新規な薄膜トランジスターを提供することを目的とするものである。本発明はまた、製造が容易でかつ高性能を発揮する薄膜トランジスターを提供することを目的とするものである。本発明はさらに、オン時のドレイン電流が大きく、浮遊容量が小さく、応答速度が速く、かつ高歩留りである薄膜トランジスターを提供することを目的とするものである。

(課題を解決するための手段)

上記諸目的は、半導体層、該半導体層表面にオーミックに接続される一対のソース・ドレイン電

極、該半導体層表面に接して形成されるゲート絶縁層、および該ゲート絶縁層の他端面側に接して形成され該ゲート絶縁層により半導体層との絶縁性を保たれたゲート電極を、絶縁性基板上に積層した構造を有する絶縁ゲート型電解効果薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわせるように配置されたものであることを特徴とする薄膜トランジスターにより達成される。

本発明はまた、絶縁性基板上に、ゲート電極、ゲート絶縁膜、半導体層、一対のソース・ドレイン電極を順に積層してなる逆スタガード型積層構造薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわせるように配置されたものであることを特徴とする薄膜トランジスターを示すものである。本発明はま

に非接触状態で組合されるように配置される。このようにソース・ドレイン電極を櫛型構造のものとすると、ソース・ドレイン電極を直線的に平行に配した場合と比べて、占有面積に対するデバイス電流比を大きくとることが可能である。従って、ソース・ドレイン電極の歯の部分ができるかぎり細くし、数多い櫛型構造とすることによりオン時における高いドレイン電流を得ることができる。例えば、本発明者らが実際に行なった計算および実験によると、 $\mu = 0.5 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、非晶質シリコンナイトライドゲート絶縁膜の厚さ3000Åの非晶質シリコンTFETで、 $I_D = 1 \text{ mA}$ を得るためには、ゲート電極幅5 $\mu\text{m}$ で、ソース・ドレイン電極は1 $\mu\text{m}$ 幅で1 $\mu\text{m}$ 間隔の歯が合計で26本のものでよいことが明らかとなった。なお、このようにソース・ドレイン電極を配置した場合、ゲート電極パターンとソース・ドレイン電極の櫛のパターンとのマスク合せは精度を必要とせず、1 $\mu\text{m}$ 幅で1 $\mu\text{m}$ 間隔の歯を作製することは非常に容易である。

た、絶縁性基板上に、一対のソース・ドレイン電極、半導体層、ゲート絶縁膜、ゲート電極を順に積層してなるスタガード型積層構造薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわせるように配置されたものであることを特徴とする薄膜トランジスターを示すものである。本発明はさらに、半導体層が非晶質シリコン層または多結晶シリコン層である薄膜トランジスターを示すものである。本発明はさらにまた、非晶質シリコン層が硼素、磷、ゲルマニウム、炭素、窒素、酸素からなる群から選ばれたいずれかの不純物がドーパされた非晶質シリコン層である薄膜トランジスターを示すものである。

#### (作用)

本発明の薄膜トランジスターにおいては、ソース・ドレイン電極がそれぞれ櫛型構造のものとされ、この歯が半導体層を横断するようにかつ互い

またこのようにソース・ドレイン電極を櫛型構造のものとした場合、ソース・ドレイン電極を直線的に平行に配した場合と比べて、幅方向におけるソース・ドレイン電極とゲート電極との重なり度合は増加するものの、前記のごとくソース・ドレイン電極の歯の部分ができるかぎり細くし数多い櫛型構造とすることでオン時における所望の高ドレイン電流を得るための、縦方向における重なり度合は著しく減少し、結果的にソース・ドレイン電極とゲート電極との間で生じる浮遊容量を小さくすることができる。例えば非晶質シリコンナイトライドゲート絶縁膜の厚さ3000Åの非晶質シリコンTFETで、ゲート電極幅5 $\mu\text{m}$ で、1 $\mu\text{m}$ 幅で1 $\mu\text{m}$ 間隔の歯が26本である場合の浮遊容量は、0.02 pFと極めて小さなものである。

また、すでに述べたように、ソース・ドレイン電極パターンとゲート電極パターンに多少のズレが生じてソース・ドレイン電極が完全にゲート電極にかかっていれば、TFETの性能に変わり

なく、マスク合せが容易であることから、TF Tの歩留りは向上する。

さらに、このようにマスク合せの問題がなくなることから、チャンネル長となるソース・ドレイン電極の歯と歯の間隔を狭くすることが可能となり、応答時間を速くすることができる。例えば、この間隔が $1\mu\text{m}$ の場合、従来のTF Tの代表的最小チャンネル長である $5\mu\text{m}$ に比較して5倍応答速度が速くなる。

さらにまた、ソース・ドレイン電極の歯と歯の間隔を狭くすることが可能となるため、得られるTF Tを非常に小さくでき、例えば、ソース・ドレイン電極として $1\mu\text{m}$ 幅で $1\mu\text{m}$ 間隔の歯が26本である場合、わずか $50\mu\text{m}$ の大きさでしかなく、このように非常にコンパクトな形状で前記したように $1\text{mA}$ を超えるオン時における高いドレイン電流を得るTF Tが作製される。

以下、本発明を実施態様に基づきより詳細に説明する。

第1a図は本発明のTF Tの一実施態様である

層3を横断するようにかつ互いに非接触の状態では組あわせるように配置されたものである。このソース・ドレイン電極2の機型構造における各歯の幅、歯と歯の間隔は、特に限定されるものではないが、前記したようにオン電流の向上、浮遊容量の低減、応答速度の向上および形状の小型化の面から、これらはいずれもできる限りにおいて小さいものであることが望ましく、例えば歯の幅は $5\mu\text{m}$ 以下、特に $3\mu\text{m}$ 以下が、また歯と歯の間隔は $5\mu\text{m}$ 以下、特に $3\mu\text{m}$ 以下であることが好ましい。

また本実施態様においては、半導体層3として、非晶質シリコンを用いているが、本発明のTF Tにおいてこのような半導体層3の材質としては特に限定されるものではなく、例えば多結晶シリコン、あるいはGe、Ge、Si、 $\text{Si}_{1-x}$ 、Si、C、 $\text{C}_{1-x}$ 等の化合物、さらには高い比抵抗を有するCdS、ZnSe、ZnS等の化合物の非晶質あるいは多結晶薄膜等が用いられる。なお、半導体層3として多結晶シリコンを用いた場合には、非晶質

逆スタガード型TF Tにおける構成を示す断面図であり、また第1b図は同実施態様における各構成要素の配置を示す平面図である。

この実施態様においては、ガラスからなる絶縁性基板1上に、所定のパターンで形成されたクロム金属薄膜からなるゲート電極5が積層され、このゲート電極5を覆うように非晶質シリコンナイトライド( $\text{Si}_3\text{N}_4$ )ゲート絶縁膜4が、さらに非晶質シリコンからなる半導体層3が積層され、この半導体層3の上部にクロム金属薄膜からなる一対のソース・ドレイン電極2が積層されている。なお、この実施態様においては、半導体層3に対するソース・ドレイン電極2のオーミックな接合がより確実になされるように、非晶質シリコン半導体層3とソース・ドレイン電極2との間には、非晶質シリコンに多量の溝をドーブしたオーミック層6が形成されている。

しかして、この一対のソース・ドレイン電極2は、第1b図に示すように、それぞれが複数の歯を有する機型構造であり、この歯が前記半導体

シリコンを用いた場合より、高いドレイン電流を得ることができるものとなる。

また、半導体層3としての非晶質シリコンに、硼素、燐、ゲルマニウム、炭素、窒素、酸素等の不純物をドーブすることも可能であり、このうち、硼素、炭素、窒素あるいは酸素のいずれかをドーブすれば、高いドレイン電圧まで動作するTF Tを製造することができ、また燐をドーブすれば、ドーブしない場合に比べて高いドレイン電流を得るTF Tを製造することができ、またゲルマニウムをドーブすれば、光照射下において、オフ電流の低いTF Tを製造することができる。

さらに本発明のTF Tにおいては、ゲート絶縁膜4としても、 $\text{Si}_3\text{N}_4$ に限られず、 $\text{SiO}_2$ やその他の絶縁体薄膜を用いることができ、またゲート電極として、前記したクロム以外の例えばモリブデン、タンタル、チタン、アルミニウムなどの他の金属薄膜等の導電材料を、ソース・ドレイン電極2として、前記したクロム以外の例えばアルミニウム、インジウムオキシドなどの他の

金属薄膜等の導電材料を、絶縁性基板1としても前記したガラス以外の例えば石英、セラミックなどの他の絶縁材料をそれぞれ使用することがもちろん可能である。

第2図は、本発明のTFTの別の実施態様であるスタガード型TFTにおける構成を示す断面図である。

この実施態様においては、それぞれが複数個の歯を有する櫛型構造でありこの歯が互いに非接触の状態で組あわさるように配置された一対のソース・ドレイン電極2が、まず絶縁性基板1上に、形成され、このソース・ドレイン電極2の歯の部分と横断するように配置された半導体層3、さらにこの半導体層3と同じパターンを有するゲート絶縁膜4がこのソース・ドレイン電極2上部に積層され、さらにこのゲート絶縁膜4の上部にゲート電極5が形成されている。従って、この実施態様における各構成要素、すなわち、ソース・ドレイン電極2、半導体層3、ゲート絶縁膜4、ゲート電極5等の配置は、第1b図に示す前記第1の

のである。

#### (実施例)

##### 実施例1

第1a～b図に示すような逆スタガード型のTFTを作製し、ゲート電圧をパラメータにしたドレイン電圧-電流特性を調べた。

TFTは、まずガラス基板1上に、厚さ2000ÅのCrゲート電極5をスパッターおよびパターニングにより形成し、次いでゲート絶縁膜4として厚さ3000Åの非品質シリコンナイトライド膜をグロー放電により堆積させ、半導体層3として厚さ3000Åの非品質シリコン膜をグロー放電により堆積させ、さらにオーミック層6としてリンを約 $10^{21}$ 個/cm<sup>3</sup>程度添加した非品質シリコン膜をSiH<sub>4</sub>とPH<sub>3</sub>のグロー放電分解により堆積させ、次いで、この上部にソース・ドレイン電極2となる厚さ7000ÅのCr膜を形成し、これを所望のパターンを有するレジスト膜で覆い、レジスト膜で覆われなかった部位のCr膜およびオーミック層をエッチングして所望のパタ

実施態様における配置とその積層順を逆にしたことを除けば同様のものである。なお、この実施態様においても、半導体層3に対するソース・ドレイン電極2のオーミックな接合がより確実になされるように、半導体層3とソース・ドレイン電極2との間には、オーミック層6が形成されている。

本発明のTFTをこのようなスタガード構造とした場合、2枚のフォトリソマスクによりTFTを作製できるために、製造上で特に有利である。

以上は、本発明のTFTを逆スタガード型およびスタガード型の態様を例にとり説明したが、本発明は、その他の積層構造を有する絶縁ゲート型電解効果TFT、例えば絶縁性基板上に、半導体層、ソース・ドレイン電極、ゲート絶縁膜およびゲート電極が順に積層されたコプラナ型(ジークレイマー、インターナショナル マイクロエレクトロニクス シンポジウム 4A-1、1973年[Int. Microelectronic Symp., 4A-1 (1973)] )などにおいても同様に適用できるものであり、前記したような優れた特性を同様に発揮できるも

のソース・ドレイン電極2を形成することによって作製された。なお、作製したTFTにおける櫛型のソース・ドレイン電極2の歯の数は合計30個であり、歯の間隔および歯の幅は1μm、ゲート電極5の幅は5μmであった。

第3図に示す結果から明らかなように、 $V_G = 30V$ でのオン電流は1mAを越えており、本発明の構成がオン電流の増加において有効であることが示されるものであった。また、このTFTの作製における製品歩留りは、チャンネル長5μmの従来型のTFTに比べて3倍程度向上した。さらにこのTFTのソース・ドレイン電極とゲート電極との浮遊容量は、0.03pFと極めて小さいものであった。

#### (発明の効果)

以上述べたように本発明は、TFTにおけるソース・ドレイン電極を櫛型構造にしたことにより、ゲート電極とソース・ドレイン電極とのマスク合せの困難さをなくし、このような櫛型電極の歯と歯の間隔および歯の幅を狭めることを可能として、

浮遊容量をあまり増加させることなしに、オン時のドレイン電流の増加、応答速度の迅速化を図り、さらに製造歩留りも従来型のものと比較して3倍程度の向上が図れるものである。さらにこのようにソース・ドレイン電極を機型構造としたことにより形状の小形化が可能となり、液晶表示装置などへの応用に適したものとなる。

#### 4. 図面の簡単な説明

第1a図は本発明のTFTの一実施態様の構成を示す断面図、第1b図は同実施態様における各構成要素の配置を表わす平面図、第2図は本発明のTFTの別の実施態様の構成を示す断面図、第3図は本発明の実施例において得られたゲート電圧をパラメータにしたドレイン電圧-電流特性のグラフ、第4a、b図はそれぞれ従来の代表的なTFTの構成を示す断面図、第4c図は従来の代表的なTFTにおける各構成要素の配置を示す平面図、第5a～d図は従来の代表的なTFTの製造工程の一例を示す断面図、第5a～d図は従来の代表的なTFTの製造工程の別の例を示す断

面図である。

1…絶縁性基板、2…ソース・ドレイン電極、3…半導体層、4…ゲート絶縁膜、5…ゲート電極、6…オーミック層、7…フォトレジスト膜。

特許出願人

新日本製鐵株式会社

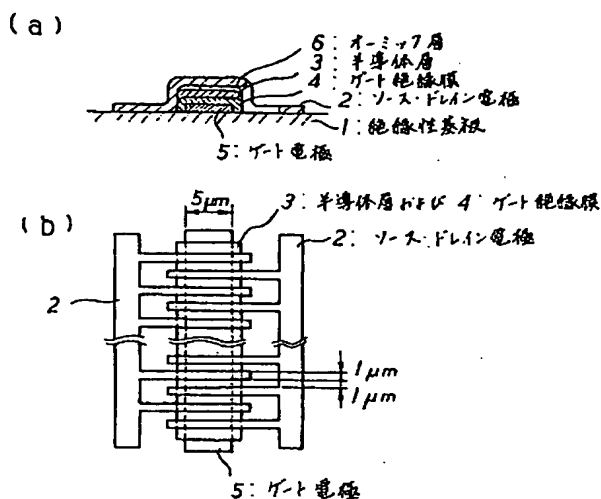
代理人

弁理士

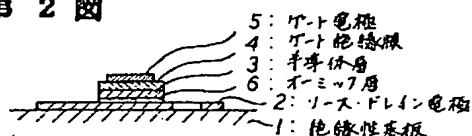
八 田 幹 雄

(他1名)

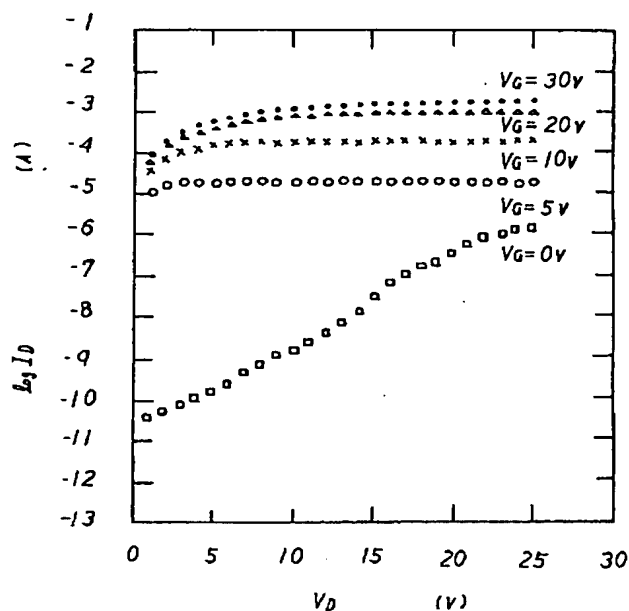
第 1 図



第 2 図

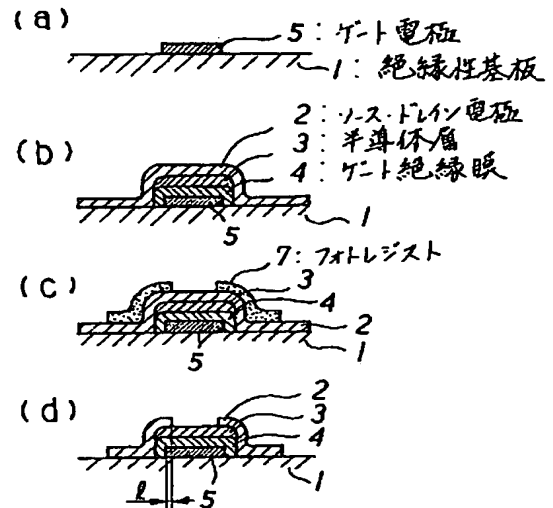
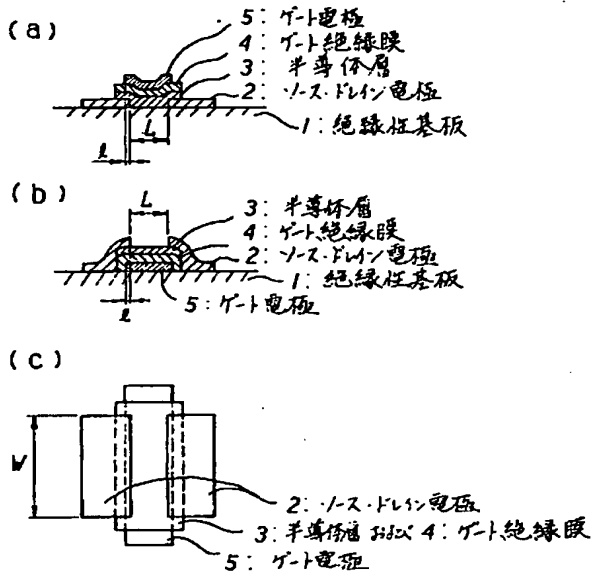


第 3 図

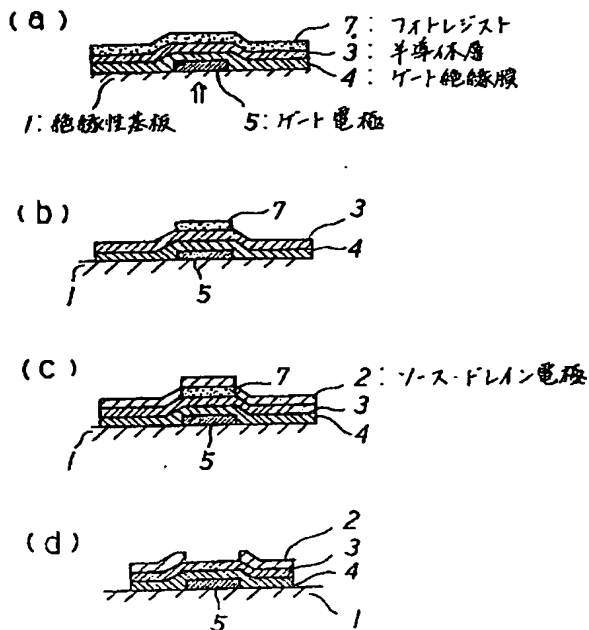




## 第 5 図



## 第 6 図



## 手続補正書

平成1年5月15日

特許庁長官 吉田 文毅 殿

1. 事件の表示  
平成1年 特許願 第79,760号
2. 発明の名称  
薄膜トランジスター
3. 補正をする者  
事件との関係 特許出願人  
住 所 東京都千代田区大手町二丁目6番3号  
名 称 (665) 新日本製鐵株式会社  
代表者 野 藤 裕
4. 代理人  
住 所 東京都千代田区二番町11番地9 ダイアパレス二番町  
氏 名 (7234) 弁護士 八 田 幹 雄  
電 話 03-230-4766番
5. 補正命令の日付  
自発補正
6. 補正の対象  
明細書の「特許請求の範囲」および「発明の詳細な説明」の図
7. 補正の内容  
(1) 別紙の通り特許請求の範囲を補正する。  
(2) 明細書第11頁第5行および第20頁第13行に記載の「電解」をそれぞれ「電界」と訂正する。

方式 審査 図

特許庁  
1. 5.15

## 特許請求の範囲

(1) 半導体層、該半導体層表面にオーミックに接続される一対のソース・ドレイン電極、該半導体層表面に接して形成されるゲート絶縁層、および該ゲート絶縁層の他端面側に接して形成され該ゲート絶縁層により半導体層との絶縁性を保たれたゲート電極を、絶縁性基板上に積層した構造を有する絶縁ゲート型電界効果薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数個の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわさるように配置されたものであることを特徴とする薄膜トランジスター。

(2) 絶縁性基板上に、ゲート電極、ゲート絶縁膜、半導体層、一対のソース・ドレイン電極を順に積層してなる逆スタガード型積層構造薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数個の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわさるように配置

されたものであることを特徴とする請求項1に記載の薄膜トランジスター。

(3) 絶縁性基板上に、一対のソース・ドレイン電極、半導体層、ゲート絶縁膜、ゲート電極を順に積層してなるスタガード型積層構造薄膜トランジスターにおいて、前記一対のソース・ドレイン電極のそれぞれが複数個の歯を有する櫛型構造であり、この歯が前記半導体層を横断するようにかつ互いに非接触の状態で組あわさるように配置されたものであることを特徴とする請求項1に記載の薄膜トランジスター。

(4) 半導体層が非晶質シリコン層または多結晶シリコン層である請求項1～3のいずれかに記載の薄膜トランジスター。

(5) 非晶質シリコン層が硼素、磷、ゲルマニウム、炭素、窒素、酸素からなる群から選ばれたいずれかの不純物がドーパされた非晶質シリコン層である請求項4に記載の薄膜トランジスター。

## 手続補正書(方式)

特許庁長官 吉田 文 毅 殿

平成1年10月 4日

## 1. 事件の表示

平成1年 特許願 第79,760号

## 2. 発明の名称

薄膜トランジスター

## 3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区大手町二丁目6番3号

名 称 (665) 新日本製鐵株式会社

代表者 齊 藤 裕

## 4. 代理人

住 所 東京都千代田区二番町11番地9 ダイアパレス二番町

氏 名 (7234) 弁理士 八 田 幹 雄

電 話 03-290-4766番

## 5. 補正命令の日付

平成1年9月11日(発送日:平成1年9月26日)

## 6. 補正の対象

明細書の「図面の簡単な説明」の欄

## 7. 補正の内容

明細書第23頁第19行に記載の「第5a～d図」を「第6a～d図」と訂正する。

